

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tetsuya YAMAGUCHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SOLID-STATE IMAGING DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

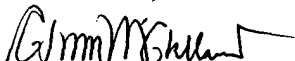
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-280881	September 26, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

G. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月26日

出 願 番 号
Application Number:

特願2002-280881

[ST.10/C]:

[JP2002-280881]

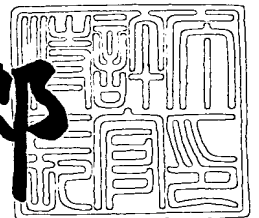
出 願 人
Applicant(s):

株式会社東芝

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009698

【書類名】 特許願

【整理番号】 13739401

【提出日】 平成14年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/146

【発明の名称】 固体撮像装置

【請求項の数】 13

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 山 口 鉄 也

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 宮 川 良 平

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 江 川 佳 孝

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目1番1号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】

光電変換素子を含む単位セルが 2 次元アレイ状に配置された撮像部と、
前記撮像部内の同一行における前記単位セルを選択する、ポリシリコンにより形成された選択線と、
前記撮像部内の前記同一行における前記単位セルの前記光電変換素子に蓄積された電荷を読み出す、ポリシリコンにより形成された読出し線と、
前記撮像部内の前記同一行における前記単位セルから出力された画素信号を送る信号線と、
前記撮像部内の前記同一行における前記単位セル内の不要電荷を排出する、ポリシリコンにより形成されたりセット線と、
前記読出し線、前記選択線、前記リセット線にそれぞれ駆動信号を供給する、前記撮像部の片側に配置された駆動回路と、
少なくとも前記読出し線に沿って配置された読出し補助配線であって、前記読出し線よりも低い電気抵抗率を有するとともに、前記読出し線と複数箇所で電氣的に接続された読出し補助配線と、
を備えることを特徴とする固体撮像装置。

【請求項 2】

前記読出し補助配線は前記読出し線のほぼ全長にわたって平行配置されていることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記読出し補助配線は、前記読出し線の上方に層間絶縁膜を介して配設されていることを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記読出し補助配線は、前記撮像部の一方の側の外部と、他方の側の外部においてそれぞれ前記読出し線と接続されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の固体撮像装置。

【請求項 5】

前記読出し補助配線は、アルミニウムを主体とする金属により構成されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の固体撮像装置。

【請求項 6】

前記リセット線に沿ってリセット補助配線が配置されており、リセット補助配線は、前記リセット線よりも低い電気抵抗率を有するとともに、前記リセット線と電氣的に接続されたことを特徴とする請求項 1 乃至 5 のいずれかに記載の固体撮像装置。

【請求項 7】

前記リセット補助配線は、アルミニウムを主体とする金属で構成されていることを特徴とする請求項 6 に記載の固体撮像装置。

【請求項 8】

前記選択線に沿って選択補助配線が配置されており、選択補助配線は、前記選択線よりも低い電気抵抗率を有するとともに、前記選択線と電氣的に接続されたことを特徴とする請求項 1 乃至 7 のいずれかに記載の固体撮像装置。

【請求項 9】

前記選択補助配線は、アルミニウムを主体とする金属で構成されていることを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 10】

第 1 及び第 2 の光電変換素子を含む単位セルが 2 次元アレイ状に配置された撮像部と、

前記撮像部内の同一行における前記単位セルを選択する、ポリシリコンにより形成された選択線と、

前記撮像部内の前記同一行における前記単位セルの前記第 1 及び第 2 の光電変換素子に蓄積された電荷を読み出す、ポリシリコンにより形成された第 1 及び第 2 の読出し線と、

前記撮像部内の前記同一行における前記単位セルから出力された画素信号を伝送するための信号線と、

前記撮像部内の前記同一行における前記単位セル内の不要電荷を排出する、ポ

リシリコンにより形成されたりセット線と、

前記第 1 及び第 2 の読出し線、前記選択線、前記リセット線にそれぞれ駆動信号を供給する、前記撮像部の片側に配置された駆動回路と、

少なくとも前記第 1 及び第 2 の読出し線に沿って配置された第 1 及び第 2 の読出し補助配線であって、前記第 1 及び第 2 の読出し線よりも低い電気抵抗率を有するとともに、前記第 1 及び第 2 の読出し線とそれぞれ電氣的に接続された第 1 及び第 2 の読出し補助配線と、

を備えることを特徴とする固体撮像装置。

【請求項 1 1】

前記リセット線及び前記選択線に沿ってリセット補助配線及び前記選択補助配線が配設されており、

前記リセット補助配線及び前記選択補助配線は、前記リセット線及び前記選択線よりも低い電気抵抗率を有するとともに、それぞれ前記リセット線及び前記選択線と複数箇所で電氣的に接続されたことを特徴とする請求項 1 0 に記載の固体撮像装置。

【請求項 1 2】

前記第 1 及び第 2 の読出し線、前記リセット線、前記選択線の内のいずれか 2 本の駆動配線が前記第 1 の光電変換素子の両側に対称に配置され、他の 2 本の駆動配線が前記第 2 の光電変換素子の両側に対称に配置されていることを特徴とする請求項 1 1 に記載の固体撮像装置。

【請求項 1 3】

前記第 1 及び第 2 の読出し補助配線、前記リセット補助配線、前記選択補助配線は、同一層に設けられていることを特徴とする請求項 1 2 に記載の固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、固体撮像装置に関し、特に、CMOS センサ型の固体撮像装置に関する。

【 0 0 0 2 】

【従来の技術】

例えばCMOSセンサ型の撮像装置は、受けた光を電荷に変換する光電変換部及び得られた電荷に基づく信号を増幅して伝送する部分等を有する画素部（単位セル）が2次元アレイ状に配置された撮像部（セル部）を有する。この撮像部を2次元アレイ状に構成する各画素部を駆動する信号配線の材料としては、一般に、不純物をドーピングしたポリシリコン（Poly-Si）が用いられる。

【 0 0 0 3 】

しかしながら、ポリシリコンの抵抗率は、不純物のドーピング条件等によって大きく変わるものの、例えば、 $1.0 \times 10^{-3} \Omega \text{cm}$ と大きいのが普通である。このため、各画素部に上記信号配線を介してクロックパルスを供給する駆動回路（ドライバ回路）から遠く離れた位置にある画素部においては、図8に示されるように、信号配線での電圧降下が大きいため、駆動に十分なパルス電圧を確保できなかった。即ち、駆動回路からの距離が遠くなるにつれて、駆動回路から上記信号配線に供給されたクロックパルスの振幅が小さくなると共に波形も大きく変形するため、駆動回路から遠くの画素部における電荷の読出し感度等が低下するという問題があった。これはシェーディングと称される。

【 0 0 0 4 】

この問題を解決するため、駆動回路からのクロックパルスを各画素部に伝送するポリシリコン配線の幅を太くして抵抗値を下げ、あるいは、各画素部にクロックパルスを供給する駆動回路を撮像部の左右両側に設けるなどの対策を施していた。

【 0 0 0 5 】

【特許文献1】

特開平2-5474号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、駆動回路から供給されるクロックパルスを伝送するポリシリコン配線の幅を太くすると、それだけ配線を形成するのに必要な面積が増加して、

素子の微細化に不利となる。また、撮像部の両側に駆動回路をそれぞれ設けると、駆動回路 2 個分の面積をチップ内に確保しなければならず、チップの微小化に反することとなる。

【 0 0 0 7 】

本発明は、上記問題点に鑑みてなされたものであり、その目的は、チップサイズを拡大させることなく各単位セルに、電圧降下及び電圧波形の劣化等の抑制された適正なクロックパルスを供給できる固体撮像装置を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の固体撮像装置は、光電変換素子を含む単位セルが 2 次元アレイ状に配置された撮像部と、前記撮像部内の同一行における前記単位セルを選択する、ポリシリコンにより形成された選択線と、前記撮像部内の前記同一行における前記単位セルの前記光電変換素子に蓄積された電荷を読み出す、ポリシリコンにより形成された読出し線と、前記撮像部内の前記同一行における前記単位セルから出力された画素信号を伝送する信号線と、前記撮像部内の前記同一行における前記単位セル内の不要電荷を排出する、ポリシリコンにより形成されたりセット線と、前記読出し線、前記選択線、前記リセット線にそれぞれ駆動信号を供給する、前記撮像部の片側に配置された駆動回路と、少なくとも前記読出し線に沿って配置された読出し補助配線であって、前記読出し線よりも低い電気抵抗率を有するとともに、前記読出し線と複数箇所電気的に接続された読出し補助配線と、を備えるものとして構成される。

【 0 0 0 9 】

また、本発明の別の固体撮像装置は、第 1 及び第 2 の光電変換素子を含む単位セルが 2 次元アレイ状に配置された撮像部と、前記撮像部内の同一行における前記単位セルを選択する、ポリシリコンにより形成された選択線と、前記撮像部内の前記同一行における前記単位セルの前記第 1 及び第 2 の光電変換素子に蓄積された電荷を読み出す、ポリシリコンにより形成された第 1 及び第 2 の読出し線と、前記撮像部内の前記同一行における前記単位セルから出力された画素信号を伝送するための信号線と、前記撮像部内の前記同一行における前記単位セル内の不

要電荷を排出する、ポリシリコンにより形成されたりセット線と、前記第 1 及び第 2 の読出し線、前記選択線、前記リセット線にそれぞれ駆動信号を供給する、前記撮像部の片側に配置された駆動回路と、少なくとも前記第 1 及び第 2 の読出し線に沿って配置された第 1 及び第 2 の読出し補助配線であって、前記第 1 及び第 2 の読出し線よりも低い電気抵抗率を有するとともに、前記第 1 及び第 2 の読出し線とそれぞれ電氣的に接続された第 1 及び第 2 の読出し補助配線と、を備えるものとして構成される。

【 0 0 1 0 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について詳しく説明する。

【 0 0 1 1 】

図 1 は、本発明を適用した CMOS センサの実施の形態（第 1 の実施の形態）を示す等価回路図である。

【 0 0 1 2 】

図 1 に示すように、CMOS センサ 1 は、各フォトダイオード（光電変換素子）8 に蓄積された電荷を駆動回路によって読み出した後、垂直信号線及び水平信号線上を伝送して順次外部に取り出そうとするものである。

【 0 0 1 3 】

まず、この CMOS センサ 1 の構成について説明する。

【 0 0 1 4 】

CMOS センサ 1 は、フォトダイオード（光電変換素子）8 を含む単位セル（画素部）2 が 2 次元アレイ状に配列されたセル部（撮像部）3 を有する。図中、画素部 2 a、2 b は、セル部 3 の中心部に位置している画素部を示す。各画素部 2 は、外部からの入射光を光電変換して信号電荷として蓄積するフォトダイオード 8 を例えば 1 つ備える。また、各画素部 2 は、図 1 に示すように、例えば 4 つのトランジスタ 9、10、11、12 からなる信号検出回路を有する。つまり、この信号検出回路は、画素部 2 内の不要電荷を排出するためのリセットトランジスタ 9 と、フォトダイオード 8 に蓄積された電荷を読み出すための読出しトランジスタ 10 と、読出しトランジスタ 10 によって読み出された電荷を増幅して画

素信号として垂直信号線 6 に出力させるための増幅トランジスタ 1 1 と、画素信号を読み出すべき画素部を選択するための垂直選択トランジスタ 1 2 とを備える。

【0 0 1 5】

この信号検出回路の構成についてより詳しく述べると以下の通りである。

【0 0 1 6】

即ち、読出しトランジスタ 1 0 の一端側はフォトダイオード 8 のカソードに接続されており、読出しトランジスタ 1 0 の他端側は、フォトダイオード 8 に蓄積された電荷を検出するための n^+ 領域である検出部 7 に接続されている。フォトダイオード 8 のアノードは設置されている。検出部 7 は、増幅トランジスタ 1 1 のゲート電極に接続され、検出部 7 における検出電荷が増幅トランジスタ 1 1 のゲート電極に供給されるようになっている。この検出部 7 には、リセットトランジスタ 9 の一端側が接続され、リセットトランジスタ 9 の他端側は、所定の基準電位に接続されている。このような構成により、リセットトランジスタ 9 は、検出部 7 及びフォトダイオード 8 内の不要電荷を放出するようになっている。

【0 0 1 7】

また、上記基準電位には、垂直選択トランジスタ 1 2 の一端が接続され、垂直選択トランジスタ 1 2 の他端側は、増幅トランジスタ 1 1 の一端側に接続されている。この垂直選択トランジスタ 1 2 がオンされることにより、増幅トランジスタ 1 1 の一端側に基準電位を供給する。

【0 0 1 8】

上記構成を有する画素部 2 が 2 次元アレイ状に配列されたセル部 3 内には、同一行の各リセットトランジスタ 9 のゲート電極に共通に接続されたりセット線 1 3 が設けられている。また、同一行の各読出しトランジスタ 1 0 のゲート電極に共通に接続された読出し線 1 4、同一行の各垂直選択トランジスタ 1 2 のゲート電極に共通に接続された選択線（アドレス線） 1 5 が設けられている。これらリセット線 1 3、読出し線 1 4、選択線 1 5 の材料には不純物がドーピングされたポリシリコンが用いられている。また、セル部 3 内には、各画素部 2 のフォトダイオード 8 から取り出され、増幅された画素信号を、セル部 3 の図中下方の水平信号

線 1 8 に伝送するための垂直信号線 6 が、同一列の画素部に共通に接続されるよう、各画素部列ごとに設けられている。

【 0 0 1 9 】

上のような構成を有するセル部 3 の図中左側には、上記リセット線 1 3、読出し線 1 4、選択線 1 5 にクロックパルスを供給するためのクロックドライバ 5 が設けられている。クロックドライバ 5 には、各画素部 2 を行単位に順次選択するための垂直レジスタ 4 a が設けられている。つまり、垂直レジスタ 4 a によって行指定がなされ、指定された行のクロックドライバが作動して、該当する駆動線にクロックパルスを供給するようになっている。ここで、高抵抗率の読出し線 1 4 の全長にわたって平行に、低抵抗率のアルミニウム補助配線 1 9 が配設されており、この補助配線は、セル部 3 の左右外側において、読出し線 1 4 と電氣的に接続されている。このように低抵抗率のアルミニウムによる配線を、高抵抗率の読出し線 1 4 に沿って配設し、これらの両端部で電氣的に接続させることで、読出し線 1 4 のセル部 3 両端における電位をほぼ同電位とし、読出し線 1 4 に接続された各読出しトランジスタ 1 0 に、十分な電圧及び波形を有するクロックパルスを供給できるようになっている。

【 0 0 2 0 】

上記セル部 3 の図中下側には、同一列の画素部 2 から垂直信号線 6 へ読み出された画素信号を外部に伝送するための水平信号線 1 8 が設けられている。各垂直信号線 6 と水平信号線 1 8 との間には水平選択トランジスタ 1 6 がそれぞれ設けられており、各水平選択トランジスタ 1 6 のゲート電極は、所定のクロックパルスに従って順次各水平選択トランジスタ 1 6 を選択する水平レジスタ 4 b に接続されている。

【 0 0 2 1 】

次に、以上のような構成における動作について説明する。

【 0 0 2 2 】

まず、選択行における各画素部 2 のフォトダイオード 8 及び検出部 7 内の不要電荷を排出する。より詳しくは、選択行の各読出しトランジスタ 1 0 とリセットトランジスタ 9 にクロックドライバ 5 からのクロックパルスが一定期間与えられ

、各読出しトランジスタ10及びリセットトランジスタ9がオンにされる。これにより、各フォトダイオード8内の不要電荷は、各読出しトランジスタ10及びリセットトランジスタ9を介して、各検出部7内の不要電荷は各リセットトランジスタ9を介して、各リセットトランジスタ9に接続された基準電位に排出される。

【0023】

次に、各フォトダイオード8の受光動作を開始させ、各フォトダイオード8へ入射された光を光電変換して、信号電荷として蓄積する。

【0024】

次に、選択行の選択線15にクロックドライバ5からのクロックパルスが与えられ、この選択線15に接続された各垂直選択トランジスタ12がオン状態にされる。各垂直選択トランジスタ12がオンにされると、各垂直選択トランジスタ12の一端に接続されていた基準電位が、各垂直選択トランジスタ12の他端側に接続された各増幅トランジスタ11の一端に供給される。

【0025】

次に、選択行の各画素部2のフォトダイオード8の蓄積電荷が読み出される。より詳しくは、選択行の読出し線14に、クロックドライバ5からのクロックパルスが一定期間供給されて、読出し線14に接続された各読出しトランジスタ10がオン状態にされる。各読出しトランジスタ10がオン状態にされると、各読出しトランジスタ10の一端側に接続された各フォトダイオード8の蓄積電荷が各読出しトランジスタ10を介して取り出される。上述したように、各読出しトランジスタ10に共通に接続されている読出し線14の両端部はアルミニウム補助配線19によって電圧降下がなく、ほぼ同電位となっているので、各読出しトランジスタ10には、各フォトダイオード8内の蓄積電荷を読み出すのに十分な電圧及び適正な波形を有するクロックパルスが供給される。この結果、各フォトダイオード8の蓄積電荷は、各読出しトランジスタ10によって確実に読み出される。

【0026】

各読出しトランジスタ10によって読み出された各フォトダイオード8の蓄積

電荷は、選択行の各増幅トランジスタ 1 1 のゲートに転送される。これにより、各増幅トランジスタ 1 1 のゲート電位が変動し、電位の変化に応じた電圧信号（画素信号）が、各増幅トランジスタ 1 1 の他端側に接続されている各垂直信号線 6 に出力される。

【 0 0 2 7 】

各増幅トランジスタ 1 1 から各垂直信号線 6 に出力された各画素信号は、各垂直信号線 6 の一端側に接続された各水平選択トランジスタ 1 6 を介して順次水平信号線 1 8 へ伝送される。即ち、各水平選択トランジスタ 1 6 のゲートに接続された水平レジスタ 4 b からのクロックパルスによって各水平選択トランジスタ 1 6 が順次選択され、これにより各垂直信号線 6 からの画素信号が順次水平信号線 1 8 へ伝送される。各垂直信号線 6 から水平信号線 1 8 に伝送された画素信号は、水平信号線 1 8 の画素信号の取り出し側に接続された図示しない増幅回路等を介して最終的に外部に取り出される。

【 0 0 2 8 】

図 2 は、図 1 におけるアルミニウム補助配線を含む要部 2 0 を具体化した構造を示す平面図である。

【 0 0 2 9 】

図 3 (a) は、図 2 の B 1 - B 2 線に沿った縦断面図、図 3 (b) は、A 1 - A 2 線に沿った縦断面図を示す。

【 0 0 3 0 】

図 2 に示すように、読出し線 1 4 とこれの全長に沿って配設されたアルミニウム補助配線 1 9 とはセル部 3 の両外側のコンタクト 2 1 (1)、2 1 (2) を介して電氣的に接続されている。即ち、図 2 の A 1 - A 2 線の断面図としての図 3 (b) に示すように、読出し線 1 4 の全長に沿って配設されたアルミニウム補助配線 1 9 の一端部が、層間絶縁膜としてのシリコン酸化膜 2 3 に埋め込み形成されたタングステンプラグ 2 5 によって読出し線 1 4 と電氣的に接続されている。一方、アルミニウム補助配線 1 9 の他端部もこれと同様の構成によって読出し線 1 4 と電氣的に接続されている。このアルミニウム補助配線は、図 2 の B 1 - B 2 線に沿った断面図としての図 3 (a) に示すように、フォトダイオード 8 の受

光に影響を与えないよう、読出し線 1 4 の上方に配設されている。ここで、図 3 (a) に示す読出しトランジスタ 1 0 の構造について簡単に説明する。

【 0 0 3 1 】

p 型基板 2 2 内に形成されたフォトダイオード 8 と n^+ 型の検出部 7 との間の上にシリコン酸化膜 2 3 を介して読出し線 1 4 が配置されている。この読出し線 1 4 は、読出しトランジスタ 1 0 のゲート電極を兼ねたものとして構成されている。そして、上記のように、この読出し線 1 4 の真上には、シリコン酸化膜 2 3 を介してアルミニウム補助配線 1 9 が設けられ、このアルミニウム補助配線 1 9 を覆うようにさらにシリコン酸化膜 2 4 が形成されている。

【 0 0 3 2 】

このように読出し線 1 4 の全長に沿ってアルミニウム補助配線 1 9 を配設した構成によれば、読出し線 1 4 に供給されるクロックパルスの電圧が最も低下する位置は、図 4 に示すように、セル部 3 の中央部となる。より詳しくは以下の通りである。

【 0 0 3 3 】

即ち、読出し線 1 4 に沿って配設したアルミニウム線の抵抗率は、例えば $2.655 \times 10^{-6} \Omega \text{ cm}$ と低いため、全長にわたってほとんど電圧降下がない。このため、アルミニウム補助配線 1 9 とセル部 3 の両側でコンタクトのとられた読出し線 1 4 の両端はほぼ同電位となる。よって、読出し線 1 4 において最もクロックパルスの電圧が降下する位置は、アルミニウム補助配線 1 9 と読出し線 1 4 とのコンタクト 2 1 (1) (2) (図 2 参照) からの中間の位置となる。つまり、最も低い電圧が供給される画素部はセル部 3 の中央に位置する画素部 2 a、2 b (図 1 参照) となる。これらの画素部 2 a、2 b に供給される最小電圧は、図 8 及び図 4 から分かるように、従来の CMOS センサの画素部に供給されるものよりも電圧降下はほぼ半分となり、電荷の読出しに十分な電圧といえる。

【 0 0 3 4 】

以上のように、本発明の第 1 の実施の形態によれば、高抵抗率の読出し線 1 4 に沿って低抵抗率のアルミニウム補助配線を配設し、セル部 3 の両外側においてこれらの配線を電氣的に接続させるようにしたので、セル部 3 の左右両側にそれ

ぞれドライバ回路を実際に配置した場合とほぼ同等な特性を確保することができ、つまり、本CMOSセンサにおいては、クロック波形の劣化が最も大きくなるセル部の中央部においても十分なクロックパルスの振幅及び矩形を維持させることができる。従って、高速駆動にあっても適正な信号の伝送を行うことが可能となる。また、アルミニウム補助配線を読出し線14の真上に配置したので、つまり、フォトダイオード8の受光効率にできるだけ影響を与えない位置にアルミニウム補助配線を配置したので、フォトダイオード8の受光効率を大きく低下させることもない。

【0035】

上述した第1の実施の形態においては、読出し線14に対してアルミニウム補助配線19を配設したが、他の駆動配線、例えばリセット線13や選択線15に対して配設してもよい。特に、このリセット線13に接続されたりセットトランジスタ9は、読出しトランジスタ10の駆動電圧1〜1.2Vに対して、例えば2.8Vと、比較的大きな電圧を駆動に要する。従って、より大きな駆動電圧を要するリセット線13に対してアルミニウム補助配線を電氣的に接続して配設することで、信号特性に優れたCMOSセンサを効果的に得ることができる。

【0036】

図5は、第1の実施の形態とは別のタイプのCMOSセンサに本発明を適用した場合の画素部の例（第2の実施の形態）を示す等価回路図である。即ち、このCMOSセンサは、各画素部内に2つのフォトダイオード及び読出しトランジスタを有するタイプのものである。本実施の形態は、このようなCMOSセンサに本発明を効果的に適用することで、各画素部のフォトダイオードへの光の入射角度による影響を極力なくそうとしたものである。

【0037】

図6は、図5の画素部の要部20の構造を具体的に示したものの平面図である。

【0038】

図7は、図6のC-C線における縦断面図を示す。

【0039】

このCMOSセンサの画素部2の構造について簡単に説明する。

【0040】

即ち、図5に示すように、このCMOSセンサの画素部2は、受光素子として2つのフォトダイオード8(1)、8(2)を備えている。これら2つのフォトダイオード8(1)、8(2)の蓄積電荷を読み出すために2つの読出しトランジスタ10(1)、10(2)が設けられている。これらの読出しトランジスタ10(1)、10(2)を駆動するために2つの読出し線14(1)、14(2)が設けられている。読出しトランジスタ10(1)、10(2)に共通に接続されて検出部7が設けられている。以上の構成により、各フォトダイオード8(1)、8(2)から読み出された電荷はこの検出部7で合成されて、検出部7に接続された増幅トランジスタ11のゲートに信号電荷として供給されるようになっている。この画素部2を駆動する各駆動配線、つまり、読出し線14(1)、14(2)、リセット線13、選択線15に沿って各アルミニウム補助配線19(1)～19(4)がセル部3の両側で電氣的に接続されて配設されている。その他の部分の構造及び動作については図1と同様であるので説明を省略する。

【0041】

上記各駆動配線、つまり、読出し線14(1)、14(2)、リセット線13、選択線15の具体的な配置について説明すると以下の通りである。

【0042】

即ち、図6に示すように、リセット線13と読出し線14(1)とがフォトダイオード8(1)を挟んで互いに対称に、読出し線14(2)と選択線15とがフォトダイオード8(2)を挟んで対称に配置されている。このため、当然に、各アルミニウム補助配線19(1)～19(4)も、それぞれに対応する各駆動配線の配置に従って対称配置される。また、図7に示すように、読出し線14(1)、読出し線14(2)、リセット線13、選択線15、及び各アルミニウム補助配線19(1)～19(4)は、同じ階層に配置されている。以上のような構成により、フォトダイオード8(1)の両側及びフォトダイオード8(2)の両側の構造はそれぞれ対称となり、各フォトダイオード8(1)、8(2)への光の入射角度による受光効率への影響が抑えられる。

【0043】

例えば、図7に示すように、各フォトダイード8(1)、8(2)に、ある特定方向からの光30が入射した場合、光路に設けられたアルミニウム補助配線19(1)、19(4)によって光30の一部が反射して(遮られて)入射する。他方、光30と中心軸を挟んでほぼ反対の方からの別の光31が各フォトダイード8(1)、8(2)に対して入射した場合も、光30と同様の形にて一部が遮られて入射する。即ち、各フォトダイード8(1)、8(2)の両側でそれぞれほぼ同一の受光効率を有し、光の入射角度による受光効率への影響が抑えられる。

【0044】

また、各フォトダイード8(1)、8(2)の両側で構造の対称性が保たれていないと、例えば、層間膜23、24を堆積したときに、層間膜23、24の下に配線があるところとないところでの膜厚に差が生じて平坦性が損なわれ、入射光の角度による影響が生じる。即ち、感度にばらつきが生じ、光学的特性劣化を招き、画質が低下する。よって、このような観点からも、フォトダイードの両側で対称性を保つことで、光の入射角度による影響を可及的に抑えて、光学的特性の劣化を防ぐことができる。

【0045】

以上のように、本発明の第2の実施の形態によれば、フォトダイードを挟んで駆動配線及びアルミニウム補助配線を対称配置するようにしたので、感度ばらつきに優れた高感度なCMOSセンサを、クロック波形の劣化が抑制された、適正な信号の伝送が可能なものとしつつ提供することができる。

【0046】

以上から分かるように、本発明の実施の形態によれば、以下の効果を得ることができる。

【0047】

即ち、セル部(撮像部)の片側だけにドライバ回路(垂直レジスタ及びクロックドライバ)を配置した構成を採用しつつも、実際にセル部の両側にドライバ回路を配置したのと同等のクロックパルス振幅を確保することができる。つまり、ドライバ回路が配置された側と反対側における画素部に、電圧降下が可及的に抑

制されたパルスを、チップ面積の拡大を招くことなく供給できる。

【 0 0 4 8 】

また、セル部内でシャント配線を行う等の複雑な処理をする必要がないので、多数のコンタクト形成等のプロセス上の負荷を増大させることもなく、プロセス上の歩留を維持することができる。

【 0 0 4 9 】

【発明の効果】

本発明によれば、光電変換素子を含む単位セルが2次元アレイ状に配置された撮像部の片側に駆動回路を配置した構成を有しつつも、各行の単位セルを駆動する駆動配線に沿ってこれと電氣的に接続された低抵抗の補助配線を設けたので、駆動配線に接続された各単位セルにクロック波形の劣化が可及的に抑えられたクロックパルスを供給することができ、従って、チップ面積の増大を可及的に抑えつつ、高速駆動の可能な装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態としての CMOS センサの等価回路図を示す。

【図 2】

図 1 の CMOS センサの要部の具体的な構造を示す平面図である。

【図 3】

図 2 の A 1 - A 2 線、B 1 - B 2 線で切断した縦断面図を示す。

【図 4】

上記 CMOS センサのセル部において駆動回路からの距離と供給電圧との関係を示す図である。

【図 5】

本発明の第 2 の実施の形態としての CMOS センサにおけるある一画素部例を示す等価回路図である。

【図 6】

上記ある一画素部の要部を具体的な構造を示す平面図である。

【図 7】

図 6 の C - C 線 で 切 断 し た 縦 断 面 図 を 示 す。

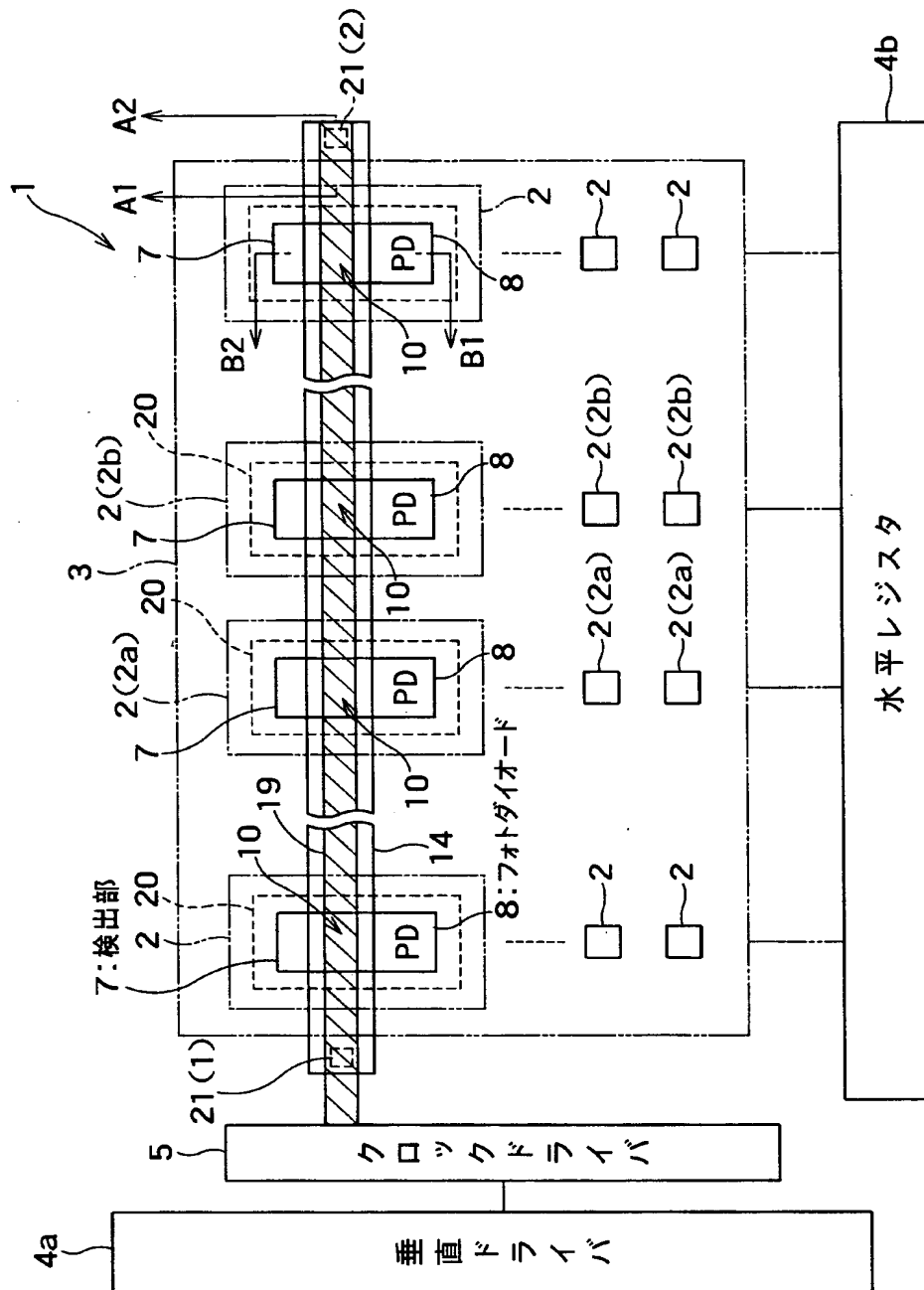
【図 8】

従 来 の C M O S セ ン サ の セ ル 部 に お い て 駆 動 回 路 か ら の 距 離 と 供 給 電 圧 と の 関 係 を 示 す 図 で あ る。

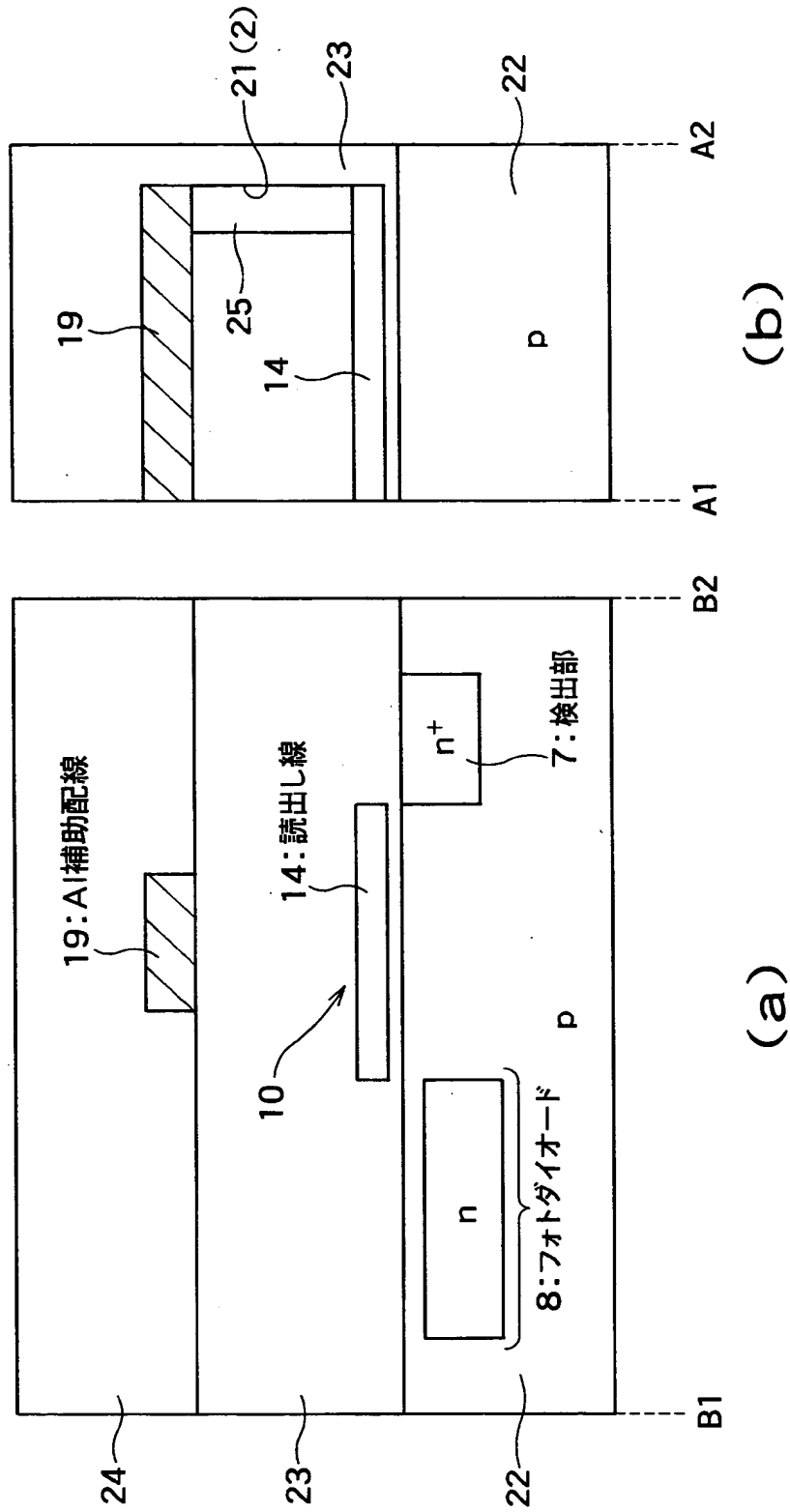
【符号の説明】

- 1 C M O S セ ン サ
- 2 画 素 部 (単 位 セ ル)
- 3 セ ル 部 (撮 像 部)
- 4 a 垂 直 レ ジ ス タ (駆 動 回 路)
- 4 b 水 平 レ ジ ス タ
- 5 ク ロ ッ ク ド ラ イ バ (駆 動 回 路)
- 6 垂 直 信 号 線
- 7 検 出 部
- 8 フ ォ ト ダ イ オ ー ド (光 電 変 換 素 子)
- 9 リ セ ャ ャ ト ト ラ ン ジ ス タ
- 1 0 読 出 し ト ラ ン ジ ス タ
- 1 1 増 幅 ト ラ ン ジ ス タ
- 1 2 垂 直 選 択 ト ラ ン ジ ス タ
- 1 3 リ セ ャ ャ ト 線
- 1 4 読 出 し 線
- 1 5 選 択 線
- 1 6 水 平 選 択 ト ラ ン ジ ス タ
- 1 8 水 平 信 号 線
- 1 9 ア ル ミ ニ ウ ム 補 助 配 線
- 2 0 要 部
- 2 1 コ ン タ ク ト ホ ー ル
- 2 2 p 型 基 板
- 2 3、2 4 シ リ コ ン 酸 化 膜
- 2 5 タ ン グ ス テ ン プ ラ グ

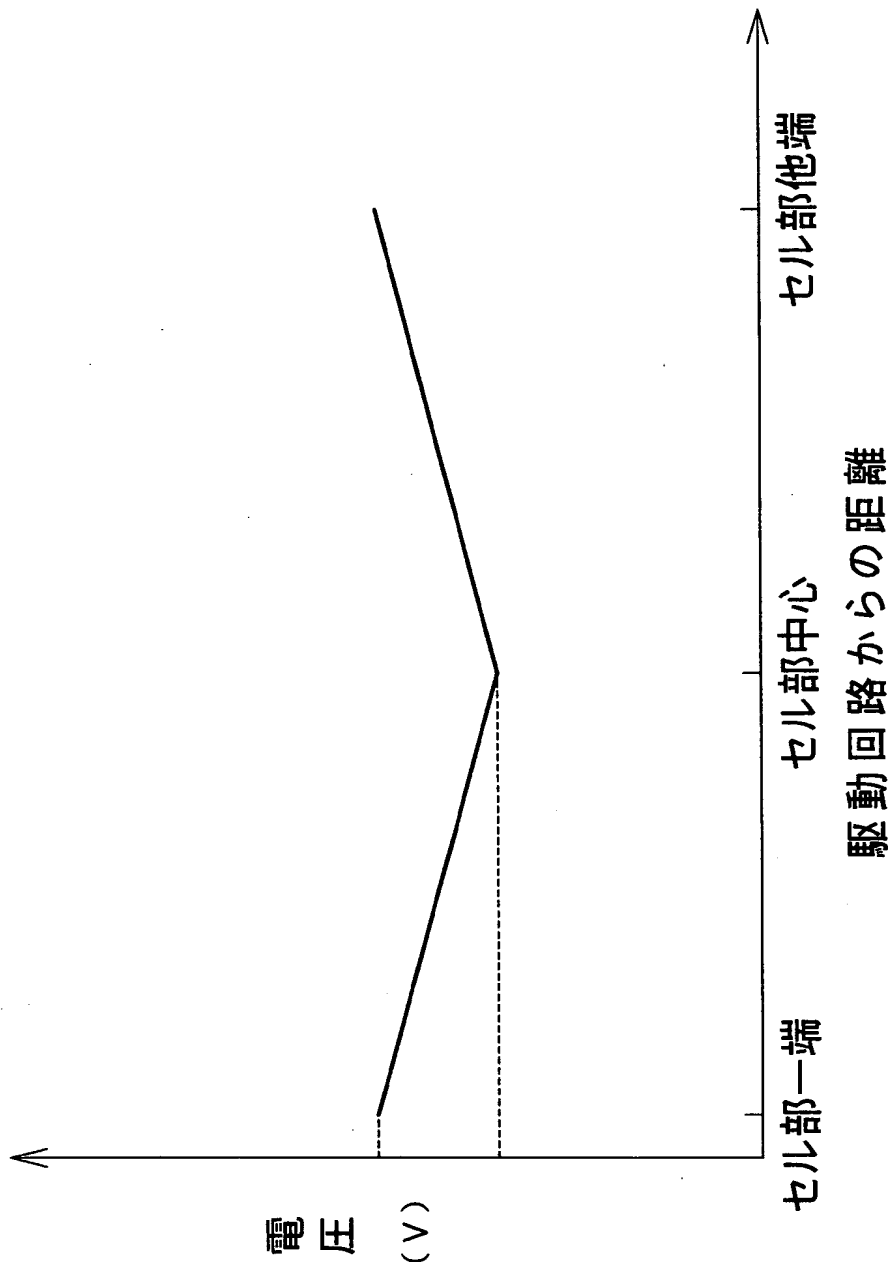
【图 2】



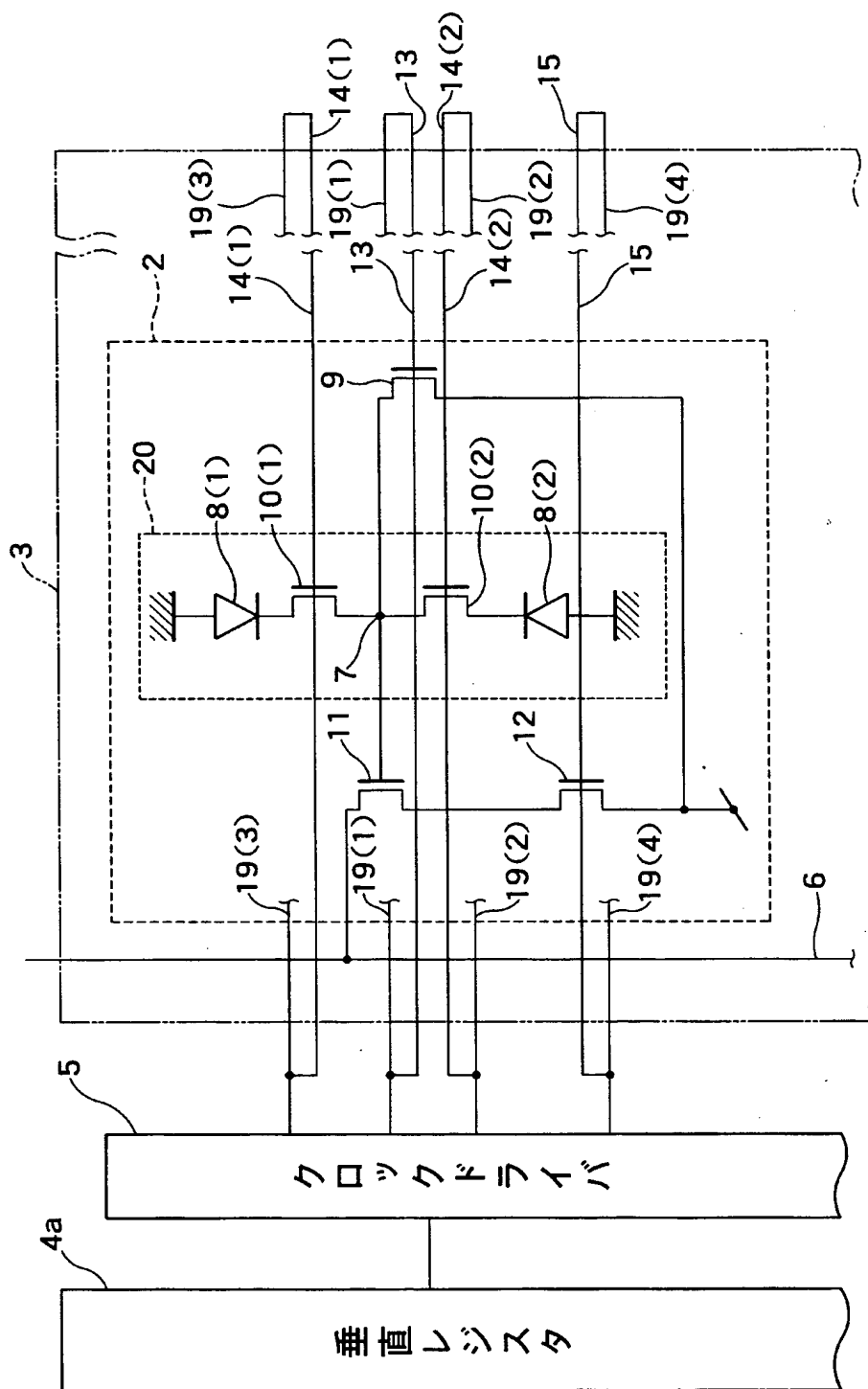
【図 3】



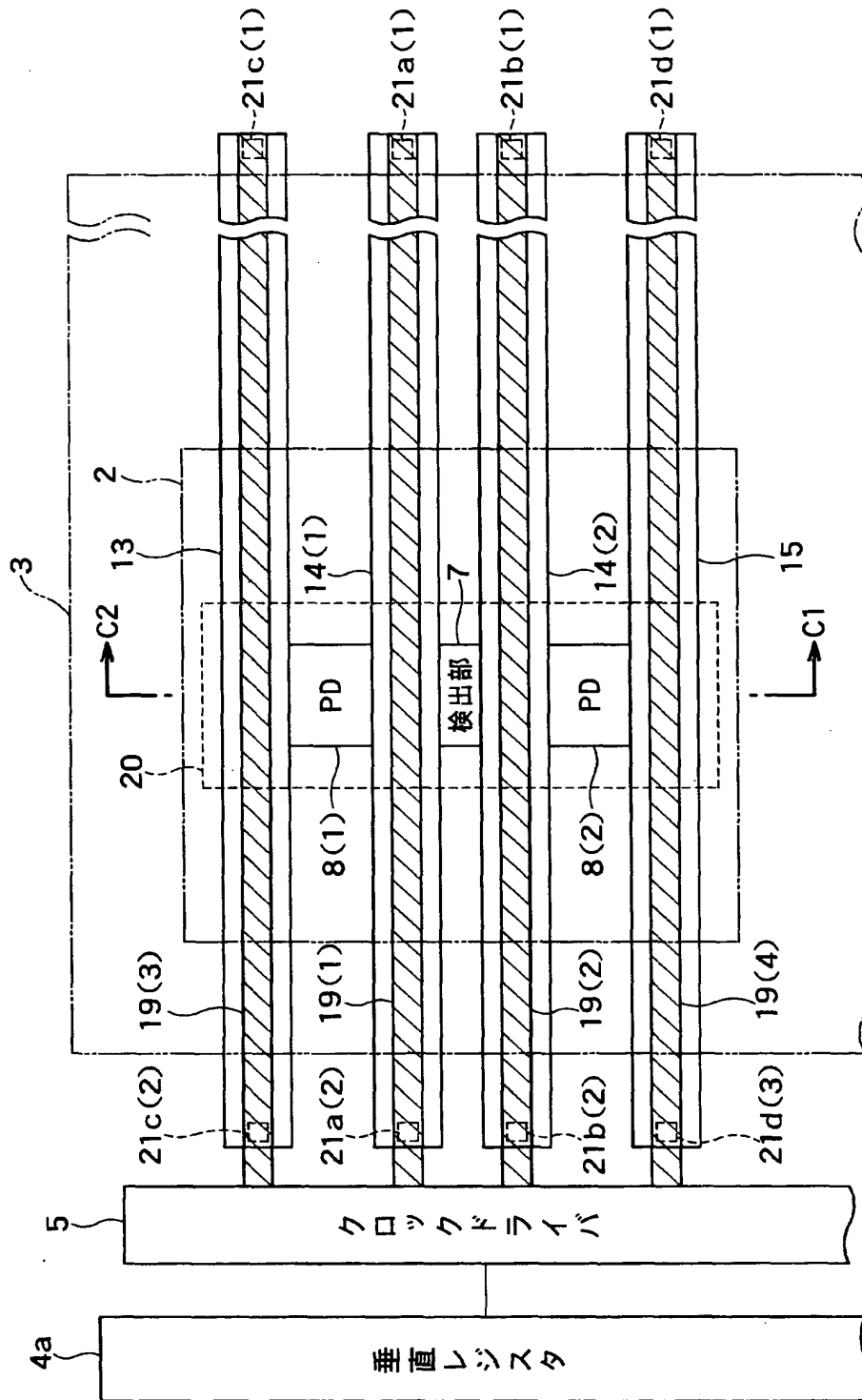
【図 4】



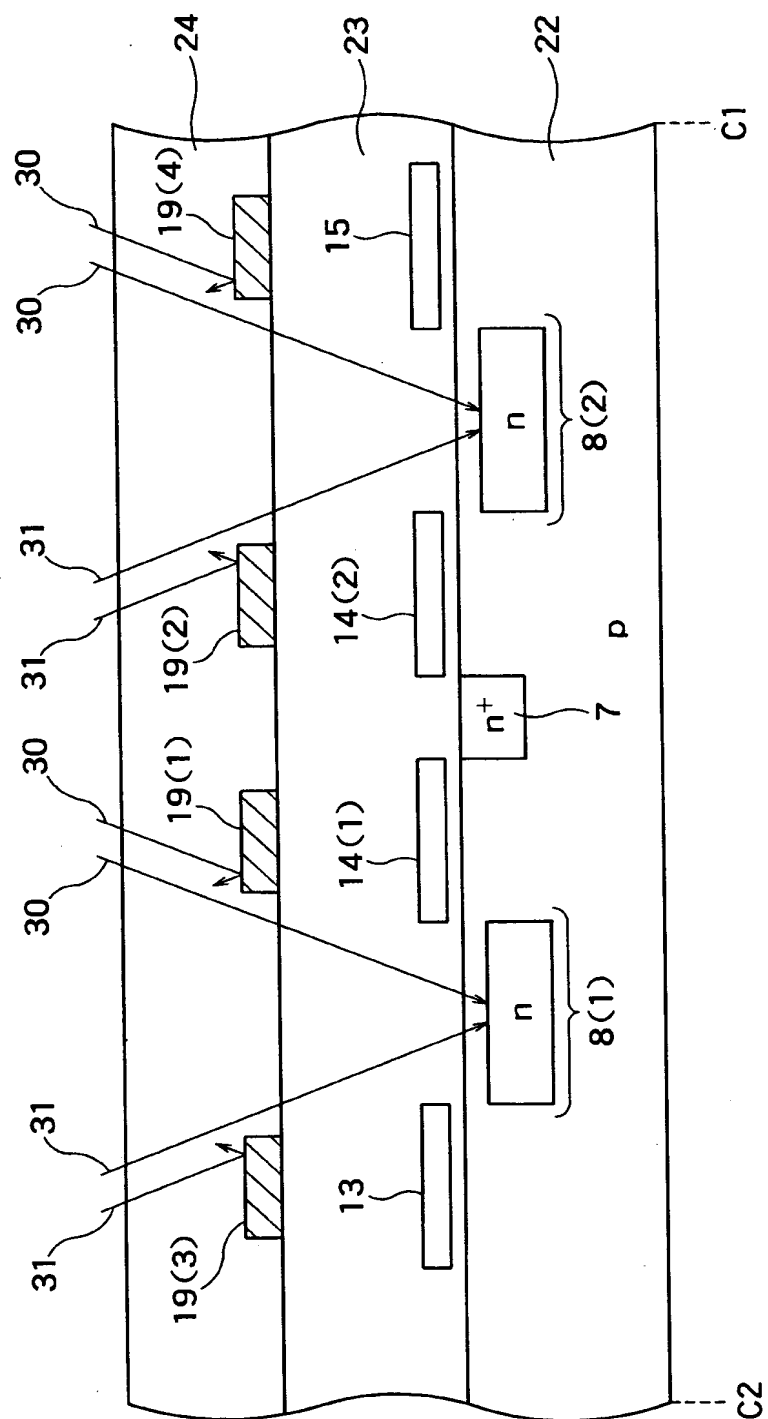
【図5】



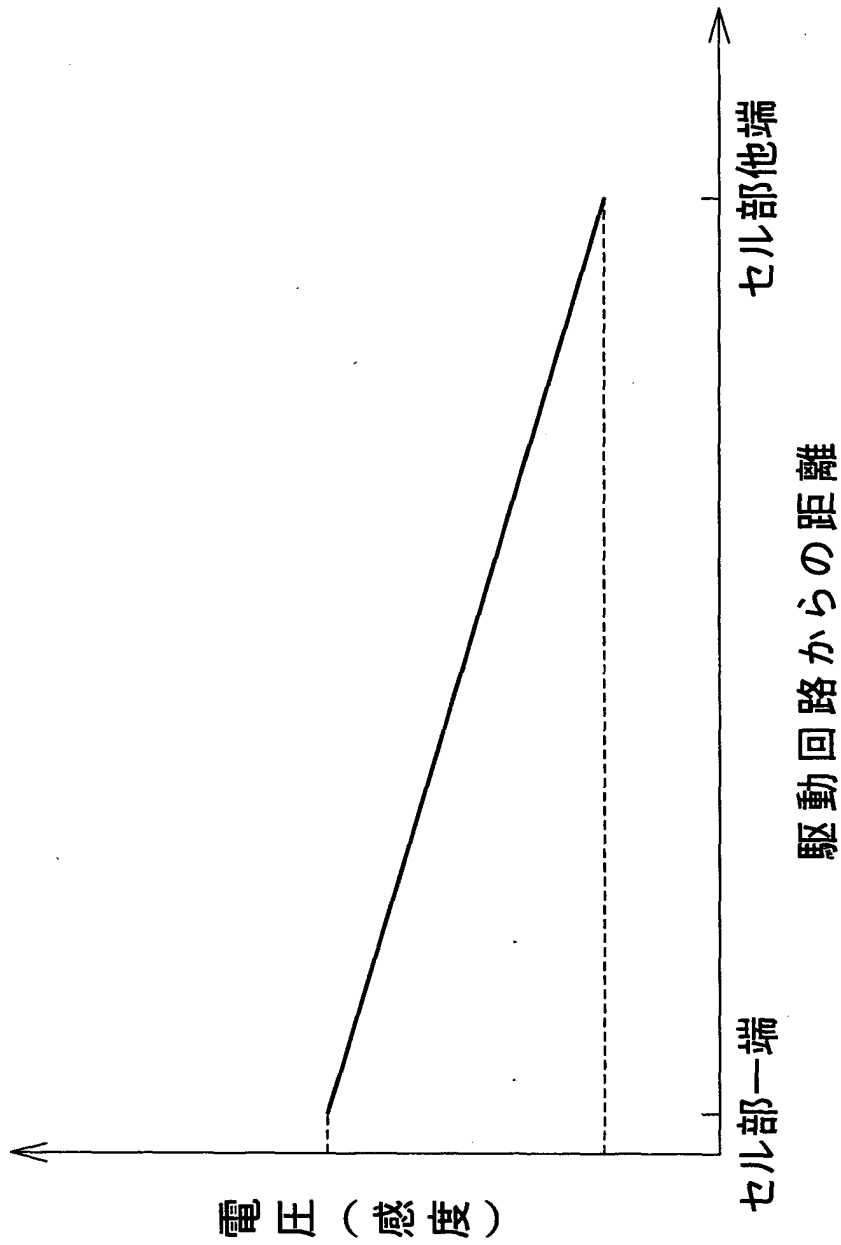
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 例えばCMOS型の固体撮像装置において、撮像領域部を2次元アレイ状に構成する各単位セルに、電圧降下及び電圧波形の劣化を極力低減した適正なクロックパルスを、チップサイズを拡大させることなく供給する。

【解決手段】 少なくとも1つの光電変換素子を含む単位セルが2次元アレイ状に配置された撮像部と、前記撮像部内の同一行における前記単位セルに対応して配置された、ポリシリコンによる選択線、読出し線、及びリセット線と、前記単位セルから出力された画素信号を伝送する信号線と、前記読出し線、選択線、リセット線にそれぞれ駆動信号を供給する、前記撮像部の片側に配置された駆動回路と、少なくとも前記読出し線に沿って配置された読出し補助配線であって、前記読出し線よりも低い電気抵抗率を有するとともに、前記読出し線と複数箇所で電氣的に接続された読出し補助配線と、を備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝